

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-283988

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 4/02	B	7436-5 J		
	E	7436-5 J		
H 0 4 N 5/06	Z	9070-5 C		
7/00	A	9070-5 C		

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-108442

(22)出願日 平成4年(1992)4月2日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中島 史夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

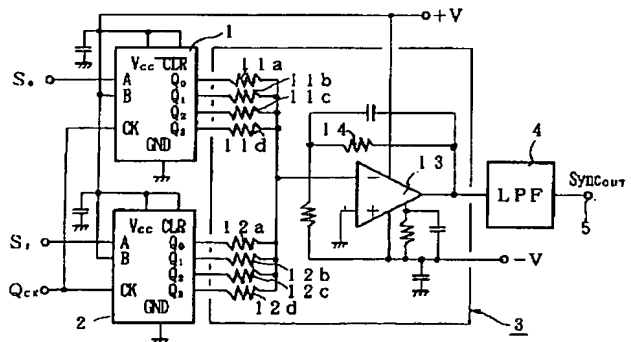
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 波形生成回路

(57)【要約】

【目的】 ハイビジョンスタジオ規格の3値同期信号を生成することのできる実用的な波形生成回路を提供する。

【構成】 第1のパルス信号が入力される4段のソフトレジスタ1と第2のパルス信号が入力される4段のソフトレジスタ2の各平行出力を電流加算回路3により加算合成し、この電流加算回路3の加算出力の低域周波数成分をローパスフィルタ4により抽出して3値同期信号を生成する。



【特許請求の範囲】

【請求項 1】 パルス信号が入力される N 段のシフトレジスタと、

上記シフトレジスタの平行出力を電流加算する電流加算回路と、

上記電流加算回路の加算出力の低域周波数成分を抽出して出力するローパスフィルタとを備えて成る波形生成回路。

【請求項 2】 第 1 のパルス信号が入力される N 段のシフトレジスタと、

第 2 のパルス信号が入力される N 段のシフトレジスタと、

上記各シフトレジスタの平行出力を電流加算する電流加算回路と、

上記電流加算回路の加算出力の低域周波数成分を抽出して出力するローパスフィルタとを備えて成る波形生成回路。

【発明の詳細な説明】

同期信号形式

記 号	名 称	基準値	許容偏値差
a	負極性パルス開始点	0.593 μ s	\pm 0.040 μ s
b	映像信号終了点	1.185 μ s	+ 0.080 μ s - 0.000 μ s
c	正極性パルス開始点	0.593 μ s	\pm 0.040 μ s
d	クランプ終了点	1.778 μ s	\pm 0.040 μ s
e	映像信号開始点	2.586 μ s	+ 0.080 μ s - 0.000 μ s
f	パルス立上り時間	0.054 μ s	\pm 0.020 μ s
$t_1 - t_2$	クランプ終了点	—	\pm 0.002 μ s
S_m	負極性パルス振幅	300mV	—
S_p	正極性パルス振幅	300mV	—
V	映像信号振幅	700mV	—
	ライン周波数	33750Hz	\pm 10ppm

【0004】 従来、所定のパルス立上り時間を有する同期信号などの波形信号は、アナログ波形整形回路による波形整形処理により生成したり、予め所望の波形信号のサンプリングデータをリードオンリーメモリに記憶しておき、このサンプリングデータを上記リードオンリーメモリから読み出して D/A 変換器によりアナログ化することにより生成するようにしていた。

【0005】

【発明が解決しようとする課題】 ところで、従来のアナ

【0001】

【産業上の利用分野】 本発明は、テレビジョン信号の同期信号などの波形信号を生成する波形生成回路に関する。

【0002】

【従来の技術】 一般に、放送局で使用するスタジオカメラなどでは、標準テレビジョン方式の撮像信号を出力するために、そのスタジオ規格に準拠した同期信号を必要とする。そして、テレビジョン信号の同期信号は、その周波数や振幅だけでなく、パルス立上り（立下り）時間やパルス立上り部の対称性なども規定されている。例えば、ハイビジョンスタジオ規格では、同期信号形式に正負両極性 3 値同期が採用されており、図 3 A, B に示すような波形の 3 値同期信号が使用され、その各種基準値とその許容偏値差が表 1 に示すように規定されている。

【0003】

【表 1】

ログ波形整形回路により高い精度で所望の波形信号を生成するためには、高次のフィルタを必要とし、しかも、その特性設定を極めて厳密に行わなければならない。従来のアナログ波形整形回路では、周波数や振幅だけでなく、パルス立上り時間やパルス立上り部の対称性なども規定されたテレビジョン信号の同期信号を高い精度で生成するのは難しく、特に、ハイビジョンスタジオ規格の同期信号のように、正負両極性 3 値同期信号を生成するのは極めて困難であった。また、リードオンリーメモリ

と D/A 変換器により所望の波形信号を生成する波形生成回路は、上記アナログ波形整形回路の場合と比較して、回路規模が大きく、消費電力も大きいという問題点があった。

【 0 0 0 6 】そこで、本発明は、上述の如き従来の問題点に鑑み、回路構成の簡略化及び低消費電力化を図った波形生成回路の提供を目的とする。また、ハイビジョンスタジオ規格の 3 値同期信号を生成することができる実用的な波形生成回路の提供を目的とする。

【 0 0 0 7 】

【課題を解決するための手段】本発明に係る波形生成回路は、上述の課題を解決するために、パルス信号が入力される N 段のシフトレジスタと、上記シフトレジスタの平行出力を電流加算する電流加算回路と、上記電流加算回路の加算出力の低域周波数成分を抽出して出力するローパスフィルタとを備えて成ることを特徴とするものである。

【 0 0 0 8 】また、本発明に係る波形生成回路は、上述の課題を解決するために、第 1 のパルス信号が入力される N 段のシフトレジスタと、第 2 のパルス信号が入力される N 段のシフトレジスタと、上記各シフトレジスタの平行出力を電流加算する電流加算回路と、上記電流加算回路の加算出力の低域周波数成分を抽出して出力するローパスフィルタとを備えて成ることを特徴とするものである。

【 0 0 0 9 】

【作用】本発明に係る波形生成回路では、パルス信号が入力される N 段のシフトレジスタの平行出力を電流加算回路により加算合成し、この電流加算回路の加算出力の低域周波数成分をローパスフィルタにより抽出して

波形信号を生成する。

【 0 0 1 0 】また、本発明に係る波形生成回路では、第 1 のパルス信号が入力される N 段のシフトレジスタの平行出力と第 2 のパルス信号が入力される N 段のシフトレジスタの各平行出力を電流加算回路により加算合成し、この電流加算回路の加算出力の低域周波数成分をローパスフィルタにより抽出して 3 値波形信号を生成する。

【 0 0 1 1 】

【実施例】以下、本発明に係る波形生成回路の一実施例について図面を参照しながら詳細に説明する。本発明に係る波形生成回路は、例えば図 1 に示すように構成される。

【 0 0 1 2 】この図 1 に示す波形生成回路は、ハイビジョンスタジオ規格の正負両極性 3 値同期信号を生成するためのものであって、第 1 及び第 2 のシフトレジスタ 1、2 と電流加算回路 3 とローパスフィルタ 4 とを備えて成る。

【 0 0 1 3 】この実施例において、上記第 1 及び第 2 のシフトレジスタ 1、2 には、それぞれ 4 段数のシフトレ

ジスタが使用されている。そして、上記第 1 のシフトレジスタ 1 は、上記正負両極性 3 値同期信号の負極性波形を発生するためのものであって、図 2 に示すように、タイミング t_0 で立上り、タイミング t_1 で立下る第 1 のパルス信号 S_0 が、シリアル入力端子 A に供給される。また、上記第 2 のシフトレジスタ 2 は、上記正負両極性 3 値同期信号の正極性波形を発生するためのものであって、図 2 に示すように、タイミング t_1 で立下り、タイミング t_0 で立上る第 2 のパルス信号 S_1 が、シリアル入力端子 A に供給される。さらに、上記第 1 及び第 2 のシフトレジスタ 1、2 の各クロック端子 CK には、ハイビジョンシステムにおける基本クロックである 74.25 MHz のクロックパルス ϕ_{ck} が供給される。

【 0 0 1 4 】そして、上記第 1 のシフトレジスタ 1 は、上記第 1 のパルス信号 S_0 をクロックパルス ϕ_{ck} 毎に順次シフトして、その平行出力 Q_{00} 、 Q_{01} 、 Q_{02} 、 Q_{03} を上記電流加算回路 3 に供給する。また、上記第 2 のシフトレジスタ 2 は、上記第 2 のパルス信号 S_1 をクロックパルス ϕ_{ck} 毎に順次シフトして、その平行出力 Q_{10} 、 Q_{11} 、 Q_{12} 、 Q_{13} を上記電流加算回路 3 に供給する。

【 0 0 1 5 】この実施例において、上記第 1 及び第 2 のシフトレジスタ 1、2 は、1 段当たりのシフト量 τ が $\tau = 1 / 74.25 \text{ MHz} = 13.468 \text{ ns}$ であって、図 2 に示すように、それぞれ τ 、 2τ 、 3τ 、 4τ のシフト量を有する平行出力 $Q_{00} \sim Q_{03}$ 、 $Q_{10} \sim Q_{13}$ を上記電流加算回路 3 に供給する。

【 0 0 1 6 】また、上記電流加算回路 3 は、上記第 1 及び第 2 のシフトレジスタ 1、2 からの各平行出力 $Q_{00} \sim Q_{03}$ 、 $Q_{10} \sim Q_{13}$ がそれぞれ入力抵抗 $11a \sim 11d$ 、 $12a \sim 12d$ を介して反転入力端子に供給される演算増幅器 13 を備えて成る。この演算増幅器 13 は、反転増幅回路を構成しており、非反転入力端子が接地され、出力端子が帰還抵抗 14 を介して上記反転入力端子に接続されている。上記演算増幅器 14 は、上記第 1 及び第 2 のシフトレジスタ 1、2 からの各平行出力 $Q_{00} \sim Q_{03}$ 、 $Q_{10} \sim Q_{13}$ を電流加算して、図 2 に示すような階段波形状の加算出力 ADD_{out} を上記ローパスフィルタ 4 に供給する。

【 0 0 1 7 】上記ローパスフィルタ 4 は、上記電流加算回路 3 による加算出力 ADD_{out} の低域周波数成分を抽出して、正負両極性 3 値同期信号 S_{yncout} を信号出力端子 5 から出力する。すなわち、上記ローパスフィルタ 4 は、上記電流加算回路 3 による加算出力 ADD_{out} の階段波形成分に含まれる高い周波数成分を除去することにより、図 2 に示すような正負両極性 3 値同期信号 S_{ync} を生成する。

【 0 0 1 8 】上記信号出力端子 5 に得られえる正負両極性 3 値同期信号 S_{yncout} は、そのパルス立下り時間 T_{r0} 、 T_{r1} 及び立上り時間 T_r が上記第 1 及び第 2 のシ

10

20

30

40

50

フトレジスタ 1, 2 の段数 ($N=4$) 及び単位シフト量 (すなわち、1 段当たりのシフト量 τ) により決定さ

$$T_{r0} = T_r = T_{r1} = 13.468 \text{ ns} \times 4 = 53.872 \text{ ns}$$

すなわちハイビジョンスタジオ規格における正負両極性 3 値同期信号のパルス立上り時間 t の規定すなわち $54 \text{ ns} \pm 20 \text{ ns}$ を満たすものとなる。また、上記第 1 のシフトレジスタ 1, 2 の段数 N 及び単位シフト量 τ と上記第 2 のシフトレジスタ 1, 2 の段数 N 及び単位シフト量 τ とを一致させておくことにより、パルス立下り部分の対称性も確保することができる。

【0019】このように、上記正負両極性 3 値同期信号 Sync_{001} のパルス立下り時間 T_{r0} , T_{r1} 及び立上り時間 T_r が上記第 1 及び第 2 のシフトレジスタ 1, 2 によって決定されるので、上記ローパスフィルタ 4 のフィルタ特性を厳密に設定する必要がない。すなわち、上記ローパスフィルタ 4 は、上記電流加算回路 3 による加算出力階段波形成分に含まれる高い周波数成分を除去する特性を有するものであれば良く、簡単な回路構成のものを使用することができる。

【0020】このような構成の波形生成回路では、ハイビジョンスタジオ規格に準拠した正負両極性 3 値同期信号を生成することができ、しかも、リードオンリーメモリと D/A 変換器により所望の波形信号を生成する従来の波形生成回路と比較して、回路規模が小さく、消費電力も少なくすることができる。

【0021】なお、上述の実施例では、本発明に係る波形生成回路によりハイビジョンスタジオ規格に準拠した正負両極性 3 値同期信号を生成するようにしたが、本発明は上述の実施例のみに限定されるものでなく、上記シフトレジスタ 1, 2 の段数 N 及び単位シフト量 τ により決定される所望のパルス立上り (立下り) 時間を有する正負両極性 3 値波形信号を生成することができる。また、シフトレジスタを 1 個として 2 値の波形信号を生成するようにしても良い。すなわち、パルス信号が入力される N 段のシフトレジスタの平行出力を電流加算回路により加算合成し、この電流加算回路の加算出力の低域周波数成分をローパスフィルタにより抽出して波形信号を生成することにより、上記シフトレジスタの段数 N 及び単位シフト量により決定される所望のパルス立上り (立下り) 時間を有する波形信号を生成することができ

【0022】

【発明の効果】以上のように、本発明に係る波形生成回路では、パルス信号が入力される N 段のシフトレジスタの平行出力を電流加算回路により加算合成し、この電流加算回路の加算出力の低域周波数成分をローパスフィルタにより抽出して波形信号を生成するので、上記シフトレジスタの段数 N 及び単位シフト量により決定される所望のパルス立上り (立下り) 時間を有する波形信号を生成することができる。このように、本発明に係る波

れ、

形生成回路では、生成する波形信号のパルス立上り (立下り) 時間がシフトレジスタにより決定されるので、上記ローパスフィルタのフィルタ特性を厳密に設定する必要がない。すなわち、上記ローパスフィルタは、電流加算回路による加算出力の低域周波数成分を抽出するもので、上記加算出力の階段波形成分に含まれる高い周波数成分を除去する特性を有するものであれば良い。そして、 N 段のシフトレジスタと電流加算回路とローパスフィルタにより構成した本発明に係る波形生成回路は、リードオンリーメモリと D/A 変換器により所望の波形信号を生成する従来の波形生成回路と比較して、回路規模が小さく、消費電力も少ない。

【0023】従って、本発明によれば、簡単な構成で消費電力も少ない波形生成回路によって、所望のパルス立上り (立下り) 時間を有する波形信号を生成することができる。

【0024】また、本発明に係る波形生成回路では、第 1 のパルス信号が入力される N 段のシフトレジスタの平行出力と第 2 のパルス信号が入力される N 段のシフトレジスタの平行出力を電流加算回路により加算合成し、この電流加算回路の加算出力の低域周波数成分をローパスフィルタにより抽出して 3 値波形信号を生成するので、上記シフトレジスタの段数 N 及び単位シフト量により決定される所望のパルス立上り (立下り) 時間を有する 3 値波形信号を生成することができる。このように、本発明に係る波形生成回路では、生成する 3 値波形信号のパルス立上り (立下り) 時間がシフトレジスタにより決定されるので、上記ローパスフィルタのフィルタ特性を厳密に設定する必要がない。すなわち、上記ローパスフィルタは、電流加算回路による加算出力の低域周波数成分を抽出するもので、上記加算出力の階段波形成分に含まれる高い周波数成分を除去する特性を有するものであれば良い。

【0025】従って、本発明によれば、それぞれ N 段の 2 個のシフトレジスタと電流加算回路とローパスフィルタによる簡単な構成の波形生成回路によって、所望のパルス立上り (立下り) 時間を有する 3 値波形信号を生成することができる。

【図面の簡単な説明】

【図 1】本発明に係る波形生成回路の構成を示すブロック図である。

【図 2】上記波形生成回路の動作を示す波形図である。

【図 3】ハイビジョンスタジオ規格における正負両極性 3 値同期信号を示す波形図である。

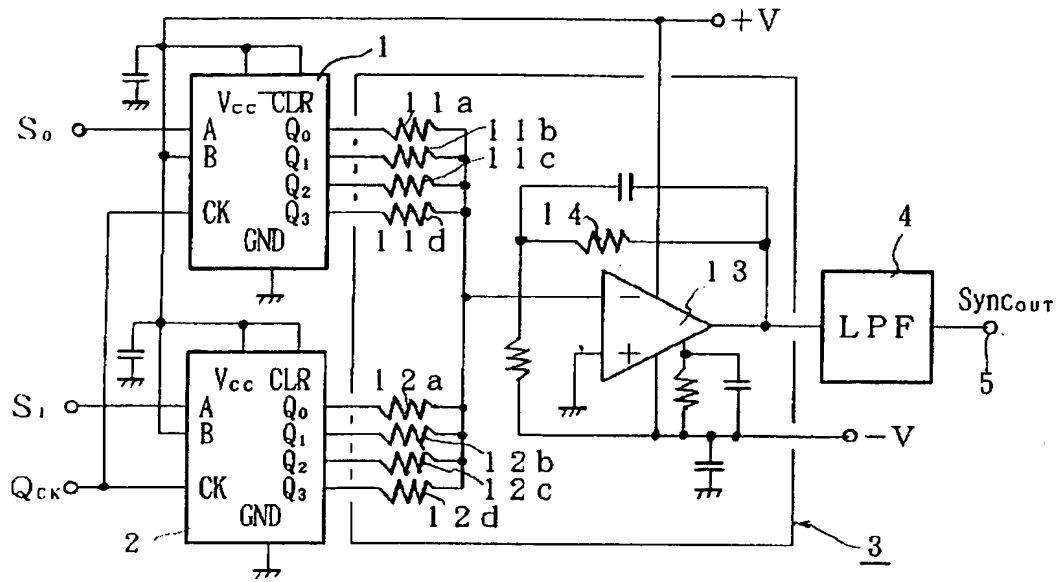
【符号の説明】

1, 2 シフトレジスタ
3 電流加算回路

4 ローパスフィルタ

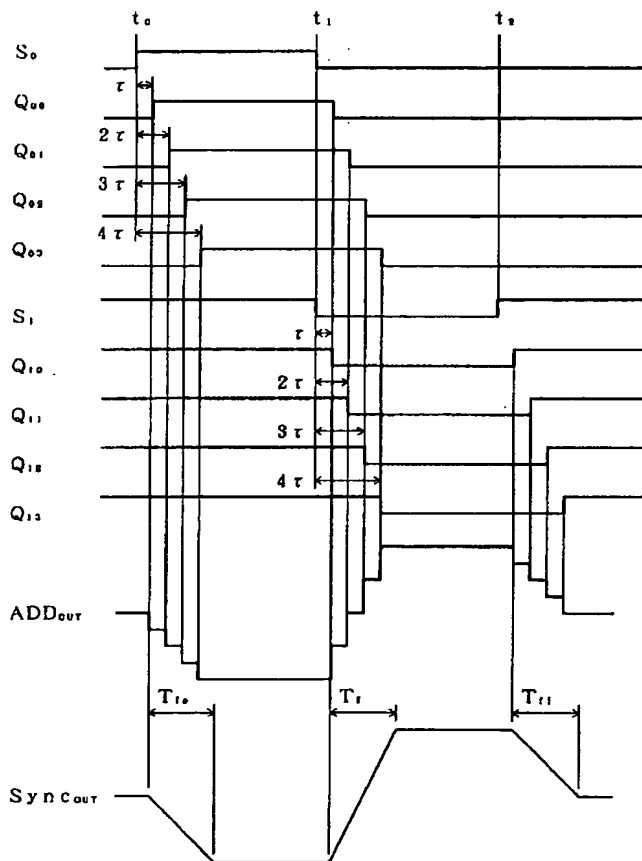
5 信号出力端子

【図1】

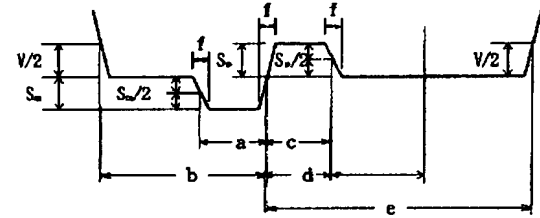


【図2】

【図3】



(A)



(B)

